

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
22. September 2005 (22.09.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/088837 A1

(51) Internationale Patentklassifikation⁷: **H03K 3/356**

(21) Internationales Aktenzeichen: PCT/DE2005/000263

(22) Internationales Anmeldedatum:
16. Februar 2005 (16.02.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2004 012 223.7 12. März 2004 (12.03.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): PACHA, Christian
[DE/DE]; Asenweg 12, 81739 München (DE). VON
ARNIM, Klaus [DE/DE]; Juttastr. 11, 80636 München
(DE).

(74) Anwalt: DOKTER, Eric-Michael; Viering, Jentschura &
Partner, Steinsdorfstr. 6, 80538 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ,
TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA,
ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,
ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU,
TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,
EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL,
PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden
Frist; Veröffentlichung wird wiederholt, falls Änderungen
eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Ab-
kürzungen wird auf die Erklärungen ("Guidance Notes on Co-
des and Abbreviations") am Anfang jeder regulären Ausgabe der
PCT-Gazette verwiesen.

(54) Title: PULSE-GENERATOR CIRCUIT AND CIRCUIT ARRANGEMENT

(54) Bezeichnung: PULSGENERATOR-SCHALTKEIS UND SCHALTKEIS-ANORDNUNG

(57) Abstract: The invention relates to a pulse-generator circuit (201) for generating an input signal for a flip-flop circuit from a clock-pulse signal (CLK) and a data signal (D). Said circuit comprises a control unit for controlling a clock-pulse field effect transistor (205), a logic field effect transistor (207) and a feedback field effect transistor (209). To generate the input signal, the control unit is configured in such a way that the clock-pulse field effect transistor is controlled chronologically after the logic field effect transistor and the feedback field effect transistor, thus generating the flip-flop signal.

(57) Zusammenfassung: Die Erfindung betrifft einen Pulsgenerator-Schaltkreis (201) zum Erzeugen eines Eingangssignals für einen Flip-Flop-Schaltkreis aus einem Taktsignal (CLK) und aus einem Datensignal (D), mit einer Ansteuereinheit zum Ansteuern eines Takt-Feldeffekttransistors (205), eines Logik-Feldeffekttransistors (207) und eines Rückkopplungs-Feldeffekttransistors (209), die derart eingerichtet ist, dass zum Erzeugen des Eingangssignals der Takt-Feldeffekttransistor zeitlich nach dem Logik-Feldeffekttransistor und dem Rückkopplungs-Feldeffekttransistor zum Generieren des Flip-Flop-Signals angesteuert wird.

WO 2005/088837 A1

Beschreibung

Pulsgenerator-Schaltkreis und Schaltkreis-Anordnung

- 5 Die Erfindung betrifft einen Pulsgenerator-Schaltkreis und eine Schaltkreis-Anordnung.

Flankengesteuerte Flip-Flops oder flankengesteuerte Master-Slave-Latch-Paare sind essentielle Grundbausteine für die Synchronisierung mehrstufiger Logikschaltungen. Sie werden in nahezu allen modernen integrierten Digitalschaltungen wie digitalen Signalprozessoren (DSPs), Mikroprozessoren und integrierten Schaltkreisen für Kommunikationsanwendungen zur Erhöhung des Datendurchlasses mittels Pipelining verwendet.

15 Für den Anwendungsbereich mit niedrigen aktiven Verlustleistungen müssen Flip-Flops und Master-Slave-Latch-Paare selbst dann noch zuverlässig funktionieren und eine ausreichende Schaltgeschwindigkeit aufweisen, wenn der Unterschied zwischen einer Versorgungsspannung V_{DD} und einer Schwellwertspannung der Transistoren V_T gering ist, das heißt wenn die Gate-Overdrive-Spannung $V_{DD}-V_T$ niedrig ist.

Bei einer Implementierung mit modernen Sub-100-nm-CMOS-Technologien zeigt sich jedoch, dass die parasitären Kapazitäten der MOS-Transistoren einen nicht zu vernachlässigenden Anteil der zu treibenden Gesamtkapazität bilden. Speziell die Junction- und Gate-Overlap-Kapazitäten zwischen Drain-Anschluss und einem internen oder externen Ausgangsknoten verlangsamen den Schaltvorgang. Insbesondere ist zu beachten, dass die Gate-Drain-Kapazitäten aufgrund des Miller-Effekts doppelt so groß erscheinen, da sich im dynamischen Bereich sowohl die Gate- als auch die Drain-Potentiale auf einer Zeitskala von ungefähr 10ps bis 30ps entgegengesetzt verändern.

35 Flankengesteuerte Flip-Flops auf der Basis von Leseverstärkern weisen im Gegensatz zu anderen Schaltkreis-

Anordnungen wie flankengesteuerten Master-Slave-Latch-Paaren eine hohe Schaltgeschwindigkeit auch bei niedrigem Gate-Overdrive $V_{DD}-V_T$ auf, siehe [1].

- 5 Hinsichtlich der Robustheit reagieren Flip-Flops auf der Basis von Leseverstärkern bei niedrigen Versorgungsspannungen weniger sensitiv auf Prozessvariationen als Master-Slave-Latch-Paare, wie in [2] offenbart ist.
- 10 Nach der Einführung solcher Flip-Flops (siehe [4]) wurden Verbesserungen vorgenommen. So konnte zum Beispiel ein symmetrischeres Schaltverhalten, das heißt gleiche Taktsignal-/Flip-Flop-Signal-Verzögerungszeiten (CLK-Q-Verzögerungszeiten, mit Taktsignal CLK, Flip-Flop-Signal Q,
- 15 invertiertes Flip-Flop-Signal /Q) für ein Flip-Flop mit den differenziellen Ausgängen Q und /Q erzielt werden.

Im Weiteren wird bezugnehmend auf **Fig.1** eine Schaltkreis-Anordnung 100 beschrieben, wie sie in [4] offenbart ist.

20

Die Schaltkreis-Anordnung 100 ist aus einem Pulsgenerator-Teilschaltkreis 101, einem Flip-Flop-Teilschaltkreis 102 und einem Schalt-Teilschaltkreis 103 gebildet.

- 25 Bei dem Pulsgenerator-Teilschaltkreis 101 ist an einem Taktsignaleingang 104 ein Taktsignal CLK bereitgestellt. Der Taktsignaleingang 104 ist mit dem Gate-Anschluss eines n-MOS-Takt-Feldeffekttransistors 105 gekoppelt. Ein erster Source-/Drain-Anschluss des n-MOS-Takt-Feldeffekttransistors 105 ist
- 30 auf das elektrische Massepotential V_{SS} 115 gebracht. Ein zweiter Source-/Drain-Anschluss des n-MOS-Takt-Feldeffekttransistors 105 ist mit einem ersten Source-/Drain-Anschluss eines ersten n-MOS-Logik-Feldeffekttransistors 106 gekoppelt, an dessen Gate-Anschluss ein Datensignal D
- 35 angelegt ist. Der zweite Source-/Drain-Anschluss des n-MOS-Takt-Feldeffekttransistors 105 ist ferner mit einem ersten Source-/Drain-Anschluss eines zweiten n-MOS-Logik-

Feldeffekttransistors 107 gekoppelt, an dessen Gate-Anschluss ein zu dem Datensignal D komplementäres Datensignal \overline{D} angelegt ist. Ein zweiter Source-/Drain-Anschluss des ersten n-MOS-Logik-Feldeffekttransistors 106 ist mit einem ersten Source-/Drain-Anschluss eines n-MOS-Bypass-Feldeffekttransistors 108 gekoppelt, dessen Gate-Anschluss auf ein elektrisches Potential V_{DD} gebracht ist. Ein zweiter Source-/Drain-Anschluss des n-MOS-Bypass-Feldeffekttransistors 108 ist mit einem zweiten Source-/Drain-Anschluss des zweiten n-MOS-Logik-Feldeffekttransistors 107 gekoppelt. Ferner ist ein zweiter Source-/Drain-Anschluss des ersten n-MOS-Logik-Feldeffekttransistors 106 mit einem ersten Source-/Drain-Anschluss eines ersten n-MOS-Signaltransfer-Feldeffekttransistors 109 gekoppelt. Ein zweiter Source-/Drain-Anschluss des ersten n-MOS-Signaltransfer-Feldeffekttransistors 109 ist mit einem ersten Source-/Drain-Anschluss eines ersten p-MOS-Takt-Feldeffekttransistors 111 und mit einem ersten Source-/Drain-Anschluss eines ersten p-MOS-Rückkoppel-Feldeffekttransistors 112 gekoppelt. Ein zweiter Source-/Drain-Anschluss des ersten p-MOS-Takt-Feldeffekttransistors 111 und ein zweiter Source-/Drain-Anschluss des ersten p-MOS-Rückkoppel-Feldeffekttransistors 112 sind auf das elektrische Potential der Versorgungsspannung V_{DD} 116 gebracht. Ferner ist der Gate-Anschluss des ersten n-MOS-Signaltransfer-Feldeffekttransistors 109 mit dem Gate-Anschluss des ersten p-MOS-Rückkoppel-Feldeffekttransistors 112 gekoppelt. Der zweite Source-/Drain-Anschluss des zweiten n-MOS-Logik-Feldeffekttransistors 107 ist mit einem ersten Source-/Drain-Anschluss eines zweiten n-MOS-Signaltransfer-Feldeffekttransistors 110 gekoppelt, dessen zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss eines zweiten p-MOS-Takt-Feldeffekttransistors 113 und mit einem ersten Source-/Drain-Anschluss eines zweiten p-MOS-Rückkoppel-Feldeffekttransistors 114 gekoppelt ist. Der Gate-Anschluss des zweiten n-MOS-Signaltransfer-

Feldeffekttransistors 110 ist dem Gate-Anschluss des zweiten p-MOS-Rückkoppel-Feldeffekttransistors 114 gekoppelt. Ferner sind ein zweiter Source-/Drain-Anschluss des zweiten p-MOS-Takt-Feldeffekttransistors 113 und ein zweiter Source-/Drain-Anschluss des zweiten p-MOS-Rückkoppel-Feldeffekttransistors 114 auf das elektrische Potential der Versorgungsspannung V_{DD} 116 gebracht. Der Gate-Anschluss des ersten p-MOS-Takt-Feldeffekttransistors 111 ist mit dem Taktsignaleingang 104 gekoppelt. Ferner ist der Taktsignaleingang 104 mit dem Gate-Anschluss des zweiten p-MOS-Takt-Feldeffekttransistors 113 gekoppelt.

Im Weiteren wird die Verschaltung innerhalb des Flip-Flop-Teilschaltkreises 102 beschrieben.

Ein erster Source-/Drain-Anschluss eines ersten p-MOS-Flip-Flop-Feldeffekttransistors 125 ist auf das Versorgungspotential V_{DD} 116 gebracht. Ferner ist ein zweiter Source-/Drain-Anschluss des ersten p-MOS-Flip-Flop-Feldeffekttransistors 125 mit einem ersten Source-/Drain-Anschluss eines ersten n-MOS-Flip-Flop-Feldeffekttransistors 126 gekoppelt, dessen zweiter Source-/Drain-Anschluss auf das elektrische Massepotential 115 gebracht ist. Ein erster Source-/Drain-Anschluss eines zweiten p-MOS-Flip-Flop-Feldeffekttransistors 127 ist auf das elektrische Massepotential 115 gebracht. Ein zweiter Source-/Drain-Anschluss des zweiten p-MOS-Flip-Flop-Feldeffekttransistors 127 ist mit einem ersten Source-/Drain-Anschluss eines zweiten n-MOS-Flip-Flop-Feldeffekttransistors 128 gekoppelt, dessen zweiter Source-/Drain-Anschluss auf das elektrische Massepotential 115 gebracht ist. Der Gate-Anschluss des ersten p-MOS-Flip-Flop-Feldeffekttransistors 125 und der Gate-Anschluss des ersten n-MOS-Flip-Flop-Feldeffekttransistors 126 sind miteinander gekoppelt und bilden einen Speicherknoten /Q des Flip-Flop-Teilschaltkreises 102. Ferner sind der Gate-Anschluss des zweiten p-MOS-Flip-Flop-Feldeffekttransistors 127 und der

Gate-Anschluss des zweiten n-MOS-Flip-Flop-Feldeffekttransistors 128 miteinander gekoppelt und bilden einen Speicherknoten Q des Flip-Flop-Teilschaltkreises 102. Der zweite Source-/Drain-Anschluss des ersten p-MOS-Flip-Flop-Feldeffekttransistors 125 ist mit dem Gate-Anschluss des zweiten p-MOS-Flip-Flop-Feldeffekttransistors 127 gekoppelt. Ferner ist ein zweiter Source-/Drain-Anschluss des zweiten p-MOS-Flip-Flop-Feldeffekttransistors 127 mit dem Gate-Anschluss des ersten n-MOS-Flip-Flop-Feldeffekttransistors 126 gekoppelt.

Im Weiteren wird die Verschaltung innerhalb des Schalt-Teilschaltkreises 103 beschrieben.

Ein erster Source-/Drain-Anschluss eines ersten p-MOS-Schalt-Feldeffekttransistors 117 ist auf das Versorgungspotential 116 gebracht. Ein zweiter Source-/Drain-Anschluss des ersten p-MOS-Schalt-Feldeffekttransistors 117 ist mit einem ersten Source-/Drain-Anschluss eines ersten n-MOS-Schalt-Feldeffekttransistors 118 gekoppelt, dessen zweiter Source-/Drain-Anschluss auf das elektrische Massepotential 115 gebracht ist. Ferner ist ein erster Source-/Drain-Anschluss eines zweiten p-MOS-Schalt-Feldeffekttransistors 119 auf das elektrische Versorgungspotential 116 gebracht. Ein zweiter Source-/Drain-Anschluss des zweiten p-MOS-Schalt-Feldeffekttransistors 119 ist mit einem ersten Source-/Drain-Anschluss eines zweiten n-MOS-Schalt-Feldeffekttransistors 120 gekoppelt, dessen zweiter Source-/Drain-Anschluss auf das elektrische Massepotential 115 gebracht ist.

Ein erster Source-/Drain-Anschluss eines dritten p-MOS-Schalt-Feldeffekttransistors 121 ist auf das elektrische Versorgungspotential 116 gebracht. Ein zweiter Source-/Drain-Anschluss des dritten p-MOS-Schalt-Feldeffekttransistors 121 ist mit einem ersten Source-/Drain-Anschluss eines dritten n-MOS-Schalt-Feldeffekttransistors 122 gekoppelt, dessen zweiter Source-/Drain-Anschluss auf das elektrische

Massepotential 115 gebracht ist. Der Gate-Anschluss des dritten p-MOS-Schalt-Feldeffekttransistors 121, der Gate-Anschluss des dritten n-MOS-Schalt-Feldeffekttransistors 122 und der Gate-Anschluss des zweiten p-MOS-Schalt-

5 Feldeffekttransistors 119 sind miteinander gekoppelt. Ferner ist ein erster Source-/Drain-Anschluss eines vierten p-MOS-Schalt-Feldeffekttransistors 123 auf das Versorgungspotential 116 gebracht. Ein zweiter Source-/Drain-Anschluss des vierten p-MOS-Schalt-Feldeffekttransistors 123 ist mit einem ersten
10 Source-/Drain-Anschluss eines vierten n-MOS-Schalt-Feldeffekttransistors 124 gekoppelt, dessen zweiter Source-/Drain-Anschluss auf das elektrische Massepotential 115 gebracht ist. Der Gate-Anschluss des vierten p-MOS-Schalt-Feldeffekttransistors 123, der Gate-Anschluss des vierten n-
15 MOS-Schalt-Feldeffekttransistors 124 und der Gate-Anschluss des ersten p-MOS-Schalt-Feldeffekttransistors 117 sind miteinander gekoppelt.

Im Weiteren wird die Kopplung der Teilschaltkreise 101, 102,
20 103 miteinander beschrieben.

Der Gate-Anschluss des zweiten p-MOS-Rückkoppel-Feldeffekttransistors 114 ist mit dem Gate-Anschluss des ersten p-MOS-Schalt-Feldeffekttransistors 117 gekoppelt.
25 Ferner ist der Gate-Anschluss des ersten p-MOS-Rückkoppel-Feldeffekttransistors 112 mit dem Gate-Anschluss des zweiten p-MOS-Schalt-Feldeffekttransistors 119 gekoppelt. Der zweite Source-/Drain-Anschluss des dritten p-MOS-Schalt-Feldeffekttransistors 121 ist mit dem Gate-Anschluss des
30 ersten n-MOS-Schalt-Feldeffekttransistors 118 gekoppelt. Der zweite Source-/Drain-Anschluss des vierten p-MOS-Schalt-Feldeffekttransistors 123 ist mit dem Gate-Anschluss des zweiten n-MOS-Schalt-Feldeffekttransistors 120 gekoppelt. Der zweite Source-/Drain-Anschluss des ersten p-MOS-Schalt-
35 Feldeffekttransistors 117 ist mit dem Gate-Anschluss des zweiten p-MOS-Flip-Flop-Feldeffekttransistors 127 gekoppelt. Ferner ist der zweite Source-/Drain-Anschluss des zweiten p-

MOS-Schalt-Feldeffekttransistors 119 mit dem zweiten Source-/Drain-Anschluss des zweiten p-MOS-Flip-Flop-Feldeffekttransistors 127 gekoppelt.

- 5 An dem Gate-Anschluss des zweiten p-MOS-Rückkoppel-Feldeffekttransistors 114 ist ein Eingangssignal /S für den Flip-Flop-Teilschaltkreis 102 bereitgestellt, generiert von dem Pulsgenerator-Teilschaltkreis 101. Ferner ist an dem Gate-Anschluss des ersten p-MOS-Rückkoppel-
- 10 Feldeffekttransistors 112 ein Eingangssignal /R des Flip-Flop-Teilschaltkreises 102 bereitgestellt, generiert von dem Pulsgenerator-Teilschaltkreis 101.

- Im Weiteren wird die Funktionsweise der Schaltkreis-Anordnung
- 15 100, die ein flankengesteuertes Flip-Flop auf der Basis von Leseverstärkern darstellt, beschrieben.

- Hinsichtlich der schaltungstechnischen Grundbausteine handelt es sich bei dem flankengesteuerten Flip-Flop in Fig.1 um eine
- 20 Schaltkreis-Anordnung 100, die den Pulsgenerator-Schaltkreis 101 aufweist, gebildet aus den Transistoren 105 bis 114. In Abhängigkeit der Signale an den Dateneingängen D und /D auf der ansteigenden Taktflanke des Taktsignals CLK werden die internen Eingänge S, /S, R, /R eines Set-Reset-Flip-Flops
- 25 (gebildet aus den Transistoren des Flip-Flop-Teilschaltkreises 102 und des Schalt-Teilschaltkreises 103) gesetzt. Die Ausgangssignale /S und /R des Pulsgenerator-Teilschaltkreises 101 werden während einer Vorladephase (d.h. CLK auf einem logischen Wert "0") über die p-MOS-Transistoren
- 30 111, 113 auf das elektrische Versorgungspotential V_{DD} 116 vorgeladen. Bei anliegenden Datensignalen D und /D ist entweder der Kanal-Bereich des ersten n-MOS-Logik-Feldeffekttransistors 106 oder des zweiten n-MOS-Logik-Feldeffekttransistors 107 leitend, so dass direkt nach der
- 35 ansteigenden Taktflanke von CLK (d.h. nach dem Übergang von CLK von einem logischen Wert "0" auf einen logischen Wert

"1") entweder /S oder /R auf das elektrische Potential V_{ss} 115 heruntergezogen wird.

5 Diese Funktionalität beruht auf der Offenbarung von [5] zu differenziellen Flip-Flops über einen differenziellen Leseverstärker.

10 Der n-MOS-Bypass-Feldeffekttransistor 108 ist minimal dimensioniert und erzeugt nach der ansteigenden Taktflanke eine elektrische Kopplung von einem Source-/Drain-Anschluss des ersten n-MOS-Signaltransfer-Feldeffekttransistors 109 und von einem Source-/Drain-Anschluss des zweiten n-MOS-Signaltransfer-Feldeffekttransistors 110 zu dem elektrischen Massepotential V_{ss} 115 und gewährleistet einen statischen
15 Betrieb. Auf diese Weise ist der Zustand des Pulsgenerator-Teilschaltkreises 101 nach der ansteigenden Taktflanke stabil.

20 Die Set-Reset-Ausgangsstufe aus Fig.1 ist in [4] offenbart.

In [6] ist eine andere Schaltkreis-Anordnung beschrieben.

25 In [7] und [8] sind weitere Flip-Flop-Schaltungen mit einem Takt-Feldeffekttransistor und einem Logik-Feldeffekttransistor beschrieben.

30 Zusammenfassend sind die aus dem Stand der Technik bekannten Schaltkreis-Anordnungen mit Pulsgenerator-Schaltkreisen für viele Anwendungen hinsichtlich der Schaltgeschwindigkeit nicht ausreichend schnell.

Der Erfindung liegt insbesondere das Problem zugrunde, einen Pulsgenerator-Schaltkreis und eine Schaltkreis-Anordnung mit einer höheren Schaltgeschwindigkeit bereitzustellen.

Das Problem wird durch einen Pulsgenerator-Schaltkreis und durch eine Schaltkreis-Anordnung mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

5 Erfindungsgemäß ist ein Pulsgenerator-Schaltkreis zum Erzeugen eines Eingangssignals für einen Flip-Flop-Schaltkreis aus einem Taktsignal und aus einem Datensignal geschaffen, der einen Takt-Feldeffekttransistor enthält, an dessen Gate-Anschluss das Taktsignal anlegbar ist, und an
10 dessen ersten Source-/Drain-Anschluss das Eingangssignal für einen Flip-Flop-Schaltkreis bereitstellbar ist. An dem Gate-Anschluss eines Logik-Feldeffekttransistors ist das Datensignal anlegbar, und der erste Source-/Drain-Anschluss des Logik-Feldeffekttransistors ist mit dem zweiten Source-
15 /Drain-Anschluss des Takt-Feldeffekttransistors gekoppelt. Ferner ist ein Rückkopplungs-Feldeffekttransistor bereitgestellt, an dessen Gate-Anschluss ein auf dem Taktsignal basierendes Rückkopplungssignal anlegbar ist, dessen erster Source-/Drain-Anschluss mit dem zweiten Source-
20 /Drain-Anschluss des Logik-Feldeffekttransistors gekoppelt ist, und an dessen zweiten Source-/Drain-Anschluss ein erstes elektrisches Referenzpotential anlegbar ist. Der Pulsgenerator-Schaltkreis enthält ferner eine Ansteuereinheit zum Ansteuern des Takt-Feldeffekttransistors, des Logik-
25 Feldeffekttransistors und des Rückkopplungs-Feldeffekttransistors derart, dass zum Erzeugen des Eingangssignals der Takt-Feldeffekttransistor zeitlich nach dem Logik-Feldeffekttransistor und dem Rückkopplungs-Feldeffekttransistor zum Generieren des Flip-Flop-Signals
30 angesteuert wird.

Ferner ist erfindungsgemäß eine Schaltkreis-Anordnung mit einem Pulsgenerator-Schaltkreis mit den oben beschriebenen Merkmalen und mit einem Flip-Flop-Schaltkreis geschaffen, der
35 mit dem Pulsgenerator-Schaltkreis derart verschaltet ist, dass das von dem Pulsgenerator-Schaltkreis generierbare Eingangssignal in den Flip-Flop-Schaltkreis einkoppelbar ist.

Eine Grundidee der Erfindung ist darin zu sehen, dass in einem Pulsgenerator-Schaltkreis zum Erzeugen eines Eingangssignals für einen Flip-Flop-Schaltkreis aus einem Takt-
5 Takt-Feldeffekttransistor, Logik-Feldeffekttransistor und Rückkopplungs-Feldeffekttransistor in gegenüber dem Stand der Technik modifizierter Weise derart verschaltet wird, dass eine erhöhte Signalverarbeitungsgeschwindigkeit beim
10 Durchlaufen eines Signals durch die drei Transistoren erreicht wird. Diese Geschwindigkeitserhöhung basiert darauf, dass zum Erzeugen des Eingangssignals der in der Kaskade bezogen auf den Signalfluss zuletzt bzw. ganz hinten angeordnete Takt-Feldeffekttransistor (d.h. jener, an dessen
15 Anschluss das Eingangssignal generiert wird) zeitlich erst dann angesteuert wird, wenn der Logik-Feldeffekttransistor und der Rückkopplungs-Feldeffekttransistor bereits zum Generieren des Flip-Flop-Signals angesteuert bzw. geschaltet worden sind.

20 Anders ausgedrückt werden erfindungsgemäß die drei genannten Transistoren des Pulsgenerator-Schaltkreises einer flankengesteuerten Flip-Flop-Anordnung auf der Basis von Leseverstärkern gegenüber dem Stand der Technik so
25 umgeordnet, dass das zuletzt eintreffende Taktsignal CLK den in der Kaskade hintersten Takt-Feldeffekttransistor der Dreifach-Serienanordnung aus Rückkopplungs-Feldeffekttransistor, Logik-Feldeffekttransistor und Takt-Feldeffekttransistor steuert. An dem Takt-
30 Feldeffekttransistor ist Drain-seitig das Signal /S bzw. /R als Eingangssignal für den Flip-Flop-Schaltkreis generiert. Eine Erhöhung der Taktlast (die auf der Summe aller Takt-Transistorweiten basiert) ist erfindungsgemäß vermieden, da sich die Transistorweiten der Transistoren der
35 Serienanordnung im Vergleich zum Stand der Technik reduzieren lassen. Auf diese Weise ist eine Verringerung der Verzögerungszeit zwischen dem Bereitstellen von Datensignal D

an dem Gate-Anschluss des Logik-Feldeffekttransistors und dem Generieren eines Flip-Flop-Signals Q (bzw. zwischen dem Bereitstellen von Datensignal D/ und dem Generieren von Flip-Flop-Signal Q/) erreicht. Es hat sich gezeigt, dass gegenüber
5 dem Stand der Technik eine Beschleunigung von 20% bis 27 % in einem Spannungsbereich des Versorgungspotentials V_{DD} zwischen 0.8V und 1.2 V in einer 90nm-CMOS-Technologie erreichbar ist.

Somit besteht ein grundlegendes Prinzip der Erfindung in der
10 Umordnung der Transistoren des Pulsgenerator-Schaltkreises (Takt-Feldeffekttransistor, Logik-Feldeffekttransistor und Rückkopplungs-Feldeffekttransistor) im Lichte erhöhter Werte von parasitären Kapazitäten in Sub-100nm-CMOS-Technologien. Ein anderer wichtiger Aspekt der Erfindung besteht in dem
15 vorteilhaften Verwenden der Abhängigkeit der Propagationszeit von Signalen in einer Transistorkaskade von der Anordnung eines Transistors innerhalb einer solchen Serienschaltung.

Im Weiteren wird das erfindungsgemäß verwendete Prinzip näher
20 erläutert. Erfindungsgemäß wird die Tatsache ausgenutzt, dass die Verzögerungszeit einer CMOS-Logikschaltung als Serienanordnung von Transistoren davon abhängt, welches Eingangssignal wann seinen Zustand ändert. So kann zum Beispiel beobachtet werden, dass beim Ausschalten eines CMOS-
25 Nicht-UND-Gatters (n-MOS-Transistoren in Serie) die kürzeste Verzögerungszeit dann auftritt, wenn der in Signalflussrichtung hinterste n-MOS-Transistor der Serienanordnung (das heißt der Transistor, dessen Drain-Anschluss mit dem Ausgang gekoppelt ist) als letzter
30 eingeschaltet wird. Diese Beobachtung kann wahrscheinlich darauf zurückgeführt werden, dass über die zuvor eingeschalteten Serientransistoren die parasitären Kapazitäten der Serienanordnung bereits entladen worden sind. Ferner liegt zum Zeitpunkt des Einschaltens des hinteren
35 Transistors bereits die maximal mögliche Drain-Source-Spannung $V_{DS}=V_{DD}-V_{SS}$ an. Letzteres bewirkt zu Beginn des Umschaltvorgang einen maximalen Transistorstrom. Die

prozentualen Unterschiede zwischen dem langsamsten und dem schnellsten Schaltvorgang betragen zum Beispiel bei einem Nicht-UND-Gatter mit vier Eingängen bis zu 20%.

5 Erfindungsgemäß werden diese Erkenntnisse insbesondere als Grundlage dafür verwendet, das Schaltverhalten eines flankengesteuerten Flip-Flops auf der Basis von Leseverstärkern (Sense-Amplifier-Based-Flip-Flops) zu beschleunigen. Der erfindungsgemäße Ansatzpunkt für eine
10 Verbesserung der aus dem Stand der Technik bekannten Schaltungstopologie für derartige Flip-Flops ist der aus mindestens drei n-MOS-Transistoren bestehende Pull-Down-Pfad (Transistoren 105, 106 und 109 in Fig.1). In der Eingangsstufe einer solchen Schaltkreis-Anordnung mit einem
15 Flip-Flop wird die oben beschriebene Abhängigkeit der Propagationszeit von der Anordnung des zuletzt schaltenden Transistors gemäß dem Stand der Technik nicht berücksichtigt. Bei derartigen Flip-Flops ist das Taktsignal CLK das zuletzt eintreffende Signal. Erfindungsgemäß wird die daraus
20 resultierende Signalverzögerung vermieden, indem der Takt-Feldeffekttransistor, der Rückkopplungs-Feldeffekttransistor und der Logik-Feldeffekttransistor erfindungsgemäß umgeordnet sind und verbessert angesteuert sind, wodurch die Propagationszeiten des Flip-Flops verringert ist.

25 Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Bei dem erfindungsgemäßen Pulsgenerator-Schaltkreis kann ein
30 Zusatz-Takt-Feldeffekttransistor bereitgestellt sein, an dessen Gate-Anschluss das Taktsignal anlegbar ist, an dessen ersten Source-/Drain-Anschluss ein zweites elektrisches Referenzpotential anlegbar ist, und dessen zweiter Source-/Drain-Anschluss mit dem ersten Source-/Drain-Anschluss des
35 Takt-Feldeffekttransistors gekoppelt ist.

Ferner kann ein Zusatz-Rückkopplungs-Feldeffekttransistor bereitgestellt sein, dessen Gate-Anschluss mit dem Gate-Anschluss des Rückkopplungs-Feldeffekttransistors gekoppelt ist, an dessen ersten Source-/Drain-Anschluss das zweite
5 elektrische Referenzpotential anlegbar ist, und dessen zweiter Source-/Drain-Anschluss mit dem ersten Source-/Drain-Anschluss des Takt-Feldeffekttransistors gekoppelt ist.

Darüber hinaus kann der Pulsgenerator-Schaltkreis einen
10 Bypass-Feldeffekttransistor aufweisen, dessen Gate-Anschluss mit dem Flip-Flop-Schaltkreis gekoppelt ist, an dessen ersten Source-/Drain-Anschluss das erste elektrische Referenzpotential anlegbar ist, und dessen zweiter Source-/Drain-Anschluss mit dem zweiten Source-/Drain-Anschluss des
15 Takt-Feldeffekttransistors gekoppelt ist.

Alternativ kann der Pulsgenerator-Schaltkreis einen Bypass-Feldeffekttransistor aufweisen, dessen Gate-Anschluss mit dem Flip-Flop-Schaltkreis gekoppelt ist, dessen erster Source-
20 /Drain-Anschluss mit dem ersten Source-/Drain-Anschluss des Rückkopplungs-Feldeffekttransistors gekoppelt ist, und dessen zweiter Source-/Drain-Anschluss mit dem zweiten Source-/Drain-Anschluss des Takt-Feldeffekttransistors gekoppelt ist.

25 Gemäß der zuletzt beschriebenen Ausgestaltung ist keiner der Source-/Drain-Anschlüsse des Bypass-Transistors auf ein elektrisches Referenzpotential gebracht (zum Beispiel ein elektrisches Massepotential), sondern mit den Source-/Drain-
30 Anschlüssen des Rückkopplungs-Feldeffekttransistors bzw. des Takt-Feldeffekttransistors gekoppelt. Die Funktionalität des Pulsgenerator-Schaltkreises wird dadurch verbessert, da in dem ausgeschalteten Zweig der sogenannte Stack-Effekt wirkt, wodurch sich der Leckstrom in diesem Pfad verringert.

35 Das erste elektrische Referenzpotential kann ein elektrisches Massepotential und/oder das zweite elektrische

Referenzpotential kann ein elektrisches Versorgungspotential sein.

Der Takt-Feldeffekttransistor, der Logik-Feldeffekttransistor
5 und der Rückkopplungs-Feldeffekttransistor können
Feldeffekttransistoren des n-Leitungstyps sein.

Der Zusatz-Takt-Feldeffekttransistor und der Zusatz-
Rückkopplungs-Feldeffekttransistor können
10 Feldeffekttransistoren des p-Leitungstyps sein.

Der Bypass-Feldeffekttransistor kann ein Feldeffekttransistor
des n-Leitungstyps sein.

15 Ferner wird vorzugsweise in dem Pulsgenerator-Schaltkreis ein
zu dem aus den Feldeffekttransistoren gebildeten ersten
Signalpfad schaltungsgleicher zweiter Signalpfad aus
zusätzlichen Feldeffekttransistoren bereitgestellt, welche
zusätzlichen Feldeffekttransistoren zum Generieren eines zu
20 dem Eingangssignal des Flip-Flop-Schaltkreises komplementären
Komplementär-Eingangssignals aus dem Taktsignal und aus einem
zu dem Datensignal komplementären Komplementär-Datensignal
verschaltet sind. Gemäß dieser Ausgestaltung ist der
Pulsgenerator-Schaltkreis als differenzieller Pulsgenerator-
25 Schaltkreis ausgeführt, bei dem anschaulich zu jedem Signal
ein jeweils komplementäres Signal bereitgestellt ist.

In dem zweiten Signalpfad ist anschaulich zu jedem Transistor
des ersten Signalpfads ein identischer bzw. spiegelgleicher
30 Transistor bereitgestellt und verschaltet, insbesondere ein
dem Takt-Feldeffekttransistor entsprechender zusätzlicher
Takt-Feldeffekttransistor, ein dem Logik-Feldeffekttransistor
entsprechender zusätzlicher Logik-Feldeffekttransistor und
ein dem Rückkopplungs-Feldeffekttransistor entsprechender
35 zusätzlicher Rückkopplungs-Feldeffekttransistor, etc.

Vorzugsweise kann der erste Source-/Drain-Anschluss des zusätzlichen Takt-Feldeffekttransistors des zweiten Signalpfads mit dem Gate-Anschluss des Zusatz-Rückkopplungs-Feldeffekttransistors des ersten Datenpfads gekoppelt sein.

5

Der erste Source-/Drain-Anschluss des Takt-Feldeffekttransistors des ersten Signalpfads kann mit dem Gate-Anschluss des zusätzlichen Zusatz-Rückkopplungs-Feldeffekttransistors des zweiten Datenpfad gekoppelt sein.

10

Ferner kann die Ansteuereinheit derart eingerichtet sein, dass sie das Datensignal an den Gate-Anschluss des Logik-Feldeffekttransistors anlegt, bevor das Taktsignal zum Überführen des Takt-Feldeffekttransistors von einem Zustand mit elektrisch nichtleitendem Kanal-Bereich in einen Zustand mit elektrisch leitendem Kanal-Bereich geschaltet wird. Gemäß dieser Ausgestaltung wird eine besonders günstige Reihenfolge des Signalanlegens an die Transistoren der Kaskade Rückkopplungs-Feldeffekttransistor/Logik-Feldeffekttransistor/Takt-Feldeffekttransistor geschaffen, und somit eine besonders schnelle Signalverarbeitung zum Generieren eines Eingangssignals für den Schalt-Teilschaltkreis bzw. den Flip-Flop-Teilschaltkreis.

Im Weiteren wird die erfindungsgemäße Schaltkreis-Anordnung, die einen erfindungsgemäßen Pulsgenerator-Schaltkreis aufweist, näher beschrieben. Ausgestaltungen des Pulsgenerator-Schaltkreises gelten auch für die einen Pulsgenerator-Schaltkreis aufweisende Schaltkreis-Anordnung.

30

Der Flip-Flop-Schaltkreis der Schaltkreis-Anordnung kann Speicher-Feldeffekttransistoren zum Speichern von auf dem Eingangssignal und/oder dem Komplementär-Eingangssignal basierenden Speichersignalen aufweisen. Von diesen Speicher-Feldeffekttransistoren können jeweils zwei Feldeffekttransistoren unterschiedlichen Leitungstyps jeweils

35

zu einem Inverter verschaltet sein, so dass der Flip-Flop-Schaltkreis im Wesentlichen aus zwei Invertern gebildet ist.

Der Flip-Flop-Schaltkreis kann Feldeffekttransistoren
5 aufweisen, die zwischen die Speicher-Feldeffekttransistoren und dem Pulsgenerator-Schaltkreis geschaltet sind.

Insbesondere kann ein erster Schalt-Feldeffekttransistor vorgesehen sein, dessen Gate-Anschluss mit dem ersten Source-
10 /Drain-Anschluss des Takt-Feldeffekttransistors gekoppelt ist, an dessen ersten Source-/Drain-Anschluss das zweite elektrische Referenzpotential anlegbar ist, und dessen zweiter Source-/Drain-Anschluss mit einem Speicherknoten der Speicher-Feldeffekttransistoren gekoppelt ist.

15 Darüber hinaus kann ein zweiter Schalt-Feldeffekttransistor vorgesehen sein, dessen Gate-Anschluss mit dem Gate-Anschluss des Komplementär-Bypass-Feldeffekttransistors gekoppelt ist, an dessen ersten Source-/Drain-Anschluss das erste
20 elektrische Referenzpotential anlegbar ist, und dessen zweiter Source-/Drain-Anschluss mit dem zweiten Source-/Drain-Anschluss des ersten Schalt-Feldeffekttransistors gekoppelt ist.

25 Darüber hinaus kann ein Schutz-Feldeffekttransistor vorgesehen sein, dessen Gate-Anschluss mit dem Gate-Anschluss des ersten Schalt-Feldeffekttransistors gekoppelt ist, dessen erster Source-/Drain-Anschluss mit dem zweiten Source-/Drain-Anschluss des ersten Schalt-Feldeffekttransistors und mit
30 einem Source-/Drain-Anschluss eines Speicher-Feldeffekttransistors gekoppelt ist, und dessen zweiter Source-/Drain-Anschluss mit einem Source-/Drain-Anschluss eines anderen Speicher-Feldeffekttransistors gekoppelt ist.

35 Gemäß dieser Ausgestaltung, die in dem in Fig.5 gezeigten Ausführungsbeispiel realisiert ist, wird ein Querstrom zwischen Speicher-Feldeffekttransistoren und Schalt-

Feldeffekttransistoren vermieden, wodurch die Funktionalität der Schaltkreis-Anordnung bezüglich Geschwindigkeit und dynamischer Verlustleistung verbessert ist.

5 Ferner kann die Schaltkreis-Anordnung einen zu dem aus den
Feldeffekttransistoren des Flip-Flop-Schaltkreises gebildeten
dritten Signalpfad schaltungsgleichen vierten Signalpfad aus
zusätzlichen Feldeffekttransistoren enthalten, welche
zusätzlichen Feldeffekttransistoren des Flip-Flop-
10 Schaltkreises zum Speichern eines zu dem Speichersignal
komplementären Komplementär-Speichersignals verschaltet sind.

Ausführungsbeispiele der Erfindung sind in den Figuren
dargestellt und werden im Weiteren näher erläutert.

15

Es zeigen:

Figur 1 eine Schaltkreis-Anordnung gemäß dem Stand der
Technik,

20

Figur 2 eine Schaltkreis-Anordnung gemäß einem ersten
Ausführungsbeispiel der Erfindung,

Figur 3 ein Diagramm, das den Betrieb der Schaltkreis-
25 Anordnung aus Figur 2 veranschaulicht,

Figur 4 eine Schaltkreis-Anordnung gemäß einem zweiten
Ausführungsbeispiel der Erfindung, und

30 Figur 5 eine Schaltkreis-Anordnung gemäß einem dritten
Ausführungsbeispiel der Erfindung.

Gleiche oder ähnliche Komponenten in unterschiedlichen
Figuren sind mit gleichen Bezugsziffern versehen.

35

Die Darstellungen in den Figuren sind schematisch und nicht
maßstäblich.

Im Weiteren wird bezugnehmend auf **Fig.2** eine Schaltkreis-Anordnung 200 gemäß einem ersten Ausführungsbeispiel der Erfindung beschrieben.

5

Die Schaltkreis-Anordnung 200 ist aus einem Pulsgenerator-Teilschaltkreis 201, einem Flip-Flop-Teilschaltkreis 202 und einem Schalt-Teilschaltkreis 203 gebildet. Der Flip-Flop-Teilschaltkreis 202 und der Schalt-Teilschaltkreis 203 können
10 auch gemeinsam als Flip-Flop-Schaltkreis bezeichnet werden.

Zunächst wird die Verschaltung der Komponenten in dem Pulsgenerator-Teilschaltkreis 201 beschrieben.

15 An einem Taktsignaleingang 204 ist ein Taktsignal CLK bereitgestellt. Der Taktsignaleingang 204 ist mit dem Gate-Anschluss eines ersten n-MOS-Takt-Feldeffekttransistors 205 und eines zweiten n-MOS-Takt-Feldeffekttransistors 206 gekoppelt. Ein erster Source-/Drain-Anschluss eines ersten n-
20 MOS-Rückkopplungs-Feldeffekttransistors 209 ist auf dem elektrischen Massepotential 217. Ein zweiter Source-/Drain-Anschluss des ersten n-MOS-Rückkopplungs-Feldeffekttransistors 209 ist mit einem ersten Source-/Drain-Anschluss eines ersten n-MOS-Logik-Feldeffekttransistors 207
25 gekoppelt, an dessen Gate-Anschluss ein Datensignal D anlegbar ist. Ein zweiter Source-/Drain-Anschluss des ersten n-MOS-Logik-Feldeffekttransistors 207 ist mit einem ersten Source-/Drain-Anschluss des ersten n-MOS-Takt-Feldeffekttransistors 205 gekoppelt, dessen zweiter Source-
30 /Drain-Anschluss mit einem ersten Source-/Drain-Anschluss eines ersten p-MOS-Takt-Feldeffekttransistors 213 und mit einem ersten Source-/Drain-Anschluss eines ersten p-MOS-Rückkoppel-Feldeffekttransistors 215 gekoppelt ist. Der zweite Source-/Drain-Anschluss des ersten p-MOS-Takt-
35 Feldeffekttransistors 213 und der zweite Source-/Drain-Anschluss des ersten p-MOS-Rückkoppel-Feldeffekttransistors 215 sind auf das Versorgungspotential V_{DD} 218 gebracht. Der

Gate-Anschluss des ersten p-MOS-Takt-Feldeffekttransistors 213 ist mit dem Taktsignaleingang 204 gekoppelt. Der Gate-Anschluss des ersten p-MOS-Rückkoppel-Feldeffekttransistors 215 ist mit dem Gate-Anschluss des ersten n-MOS-Rückkopplungs-Feldeffekttransistors 209 gekoppelt.

Ferner ist ein erster Source-/Drain-Anschluss eines zweiten n-MOS-Rückkopplungs-Feldeffekttransistors 210 auf das elektrische Massepotential 217 gebracht. Ein zweiter Source-/Drain-Anschluss des zweiten n-MOS-Rückkopplungs-Feldeffekttransistors 210 ist mit einem ersten Source-/Drain-Anschluss eines zweiten n-MOS-Logik-Feldeffekttransistors 208 gekoppelt, an dessen Gate-Anschluss ein zu dem Datensignal D komplementäres Datensignal /D anlegbar ist. Ein zweiter Source-/Drain-Anschluss des zweiten n-MOS-Logik-Feldeffekttransistors 208 ist mit einem ersten Source-/Drain-Anschluss des zweiten n-MOS-Takt-Feldeffekttransistors 206 gekoppelt, dessen zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss eines zweiten p-MOS-Takt-Feldeffekttransistors 214 und mit einem ersten Source-/Drain-Anschluss eines zweiten p-MOS-Rückkoppel-Feldeffekttransistors 216 gekoppelt ist. Ein zweiter Source-/Drain-Anschluss des zweiten p-MOS-Takt-Feldeffekttransistors 214 und ein zweiter Source-/Drain-Anschluss des zweiten p-MOS-Rückkoppel-Feldeffekttransistors 216 ist jeweils auf das elektrische Versorgungspotential 218 gebracht. Der Gate-Anschluss des zweiten p-MOS-Takt-Feldeffekttransistors 214 ist mit dem Taktsignaleingang 204 gekoppelt. Ferner ist der Gate-Anschluss des zweiten p-MOS-Rückkoppel-Feldeffekttransistors 216 mit dem Gate-Anschluss des zweiten n-MOS-Rückkopplungs-Feldeffekttransistors 210 gekoppelt.

Der zweite Source-/Drain-Anschluss des ersten n-MOS-Logik-Feldeffekttransistors 207 ist mit einem ersten Source-/Drain-Anschluss eines ersten n-MOS-Bypass-Feldeffekttransistors 211 gekoppelt, dessen zweiter Source-/Drain-Anschluss auf das elektrische Massepotential 217 gebracht ist. Der erste

Source-/Drain-Anschluss des zweiten n-MOS-Takt-Feldeffekttransistors 206 ist mit einem ersten Source-/Drain-Anschluss eines zweiten n-MOS-Bypass-Feldeffekttransistors 212 gekoppelt, dessen zweiter Source-/Drain-Anschluss auf das elektrische Massepotential 217 gebracht ist.

Im Weiteren wird die Verschaltung der Komponenten des Schalt-Teilschaltkreises 203 beschrieben.

Ein erster Source-/Drain-Anschluss eines ersten p-MOS-Schalt-Feldeffekttransistors 219 ist auf das elektrische Versorgungspotential 218 gebracht. Ein zweiter Source-/Drain-Anschluss des ersten p-MOS-Schalt-Feldeffekttransistors 219 ist mit einem ersten Source-/Drain-Anschluss eines ersten n-MOS-Schalt-Feldeffekttransistors 220 gekoppelt, dessen zweiter Source-/Drain-Anschluss auf das elektrische Massepotential 217 gebracht ist. Ferner ist der Gate-Anschluss des ersten p-MOS-Schalt-Feldeffekttransistors 219 mit dem Gate-Anschluss eines dritten p-MOS-Schalt-Feldeffekttransistors 223 gekoppelt, dessen erster Source-/Drain-Anschluss auf das elektrische Versorgungspotential 218 gebracht ist. Ein zweiter Source-/Drain-Anschluss des dritten p-MOS-Schalt-Feldeffekttransistors 223 ist mit einem ersten Source-/Drain-Anschluss eines dritten n-MOS-Schalt-Feldeffekttransistors 224 gekoppelt, dessen zweiter Source-/Drain-Anschluss auf das elektrische Massepotential 217 gebracht ist. Ferner ist der Gate-Anschluss des dritten n-MOS-Schalt-Feldeffekttransistors 224 mit dem Gate-Anschluss des ersten p-MOS-Schalt-Feldeffekttransistors 219 gekoppelt.

Ein erster Source-/Drain-Anschluss eines zweiten p-MOS-Schalt-Feldeffekttransistors 221 ist auf das Versorgungspotential 218 gebracht. Ein zweiter Source-/Drain-Anschluss des zweiten p-MOS-Schalt-Feldeffekttransistors 221 ist mit einem ersten Source-/Drain-Anschluss eines zweiten n-MOS-Schalt-Feldeffekttransistors 222 gekoppelt, dessen zweiter Source-/Drain-Anschluss auf das elektrische

Massepotential 217 gebracht ist. Ferner ist der Gate-Anschluss des zweiten p-MOS-Schalt-Feldeffekttransistors 221 mit dem Gate-Anschluss eines vierten p-MOS-Schalt-Feldeffekttransistors 225 und mit dem Gate-Anschluss eines
5 vierten n-MOS-Schalt-Feldeffekttransistors 227 gekoppelt. Der Gate-Anschluss des zweiten n-MOS-Schalt-Feldeffekttransistors 222 ist mit dem zweiten Source-/Drain-Anschluss des dritten p-MOS-Schalt-Feldeffekttransistors 223 gekoppelt. Ein erster Source-/Drain-Anschluss des vierten p-MOS-Schalt-
10 Feldeffekttransistors 225 ist auf das Versorgungspotential 218 gebracht, wohingegen ein zweiter Source-/Drain-Anschluss des vierten p-MOS-Schalt-Feldeffekttransistors 225 mit einem ersten Source-/Drain-Anschluss des vierten n-MOS-Schalt-Feldeffekttransistors 226 gekoppelt ist, dessen zweiter
15 Source-/Drain-Anschluss auf das elektrische Massepotential 217 gebracht ist. Ferner ist der zweite Source-/Drain-Anschluss des vierten p-MOS-Schalt-Feldeffekttransistors 225 mit dem Gate-Anschluss des ersten n-MOS-Schalt-Feldeffekttransistors 220 gekoppelt.

20

Im Weiteren wird die Verschaltung der Komponenten des Flip-Flop-Teilschaltkreises 202 beschrieben.

Ein erster Source-/Drain-Anschluss eines ersten p-MOS-Flip-Flop-Feldeffekttransistors 227 ist auf das
25 Versorgungspotential 218 gebracht. Ferner ist ein zweiter Source-/Drain-Anschluss des ersten p-MOS-Flip-Flop-Feldeffekttransistors 227 mit einem ersten Source-/Drain-Anschluss eines ersten n-MOS-Flip-Flop-Feldeffekttransistors
30 228 gekoppelt, dessen zweiter Source-/Drain-Anschluss auf das elektrische Massepotential gebracht ist. Ein erster Source-/Drain-Anschluss eines zweiten p-MOS-Flip-Flop-Feldeffekttransistors 229 ist auf das elektrische
Versorgungspotential 218 gebracht, wohingegen ein zweiter
35 Source-/Drain-Anschluss des zweiten p-MOS-Flip-Flop-Feldeffekttransistors 229 mit einem ersten Source-/Drain-Anschluss eines zweiten n-MOS-Flip-Flop-Feldeffekttransistors

230 gekoppelt ist, dessen zweiter Source-/Drain-Anschluss auf das elektrische Massepotential 230 gebracht ist. Der Gate-Anschluss des ersten p-MOS-Flip-Flop-Feldeffekttransistors 227 und der Gate-Anschluss des ersten n-MOS-Flip-Flop-Feldeffekttransistors 228 sind miteinander gekoppelt und bilden einen Invers-Speicher-knoten /Q des Flip-Flop-Teilschaltkreises 202. Ferner sind der Gate-Anschluss des zweiten p-MOS-Flip-Flop-Feldeffekttransistors 229 und der Gate-Anschluss des zweiten n-MOS-Flip-Flop-Feldeffekttransistors 230 miteinander gekoppelt und bilden einen Speicher-knoten Q des Flip-Flop-Teilschaltkreises 202. Der Gate-Anschluss des ersten p-MOS-Flip-Flop-Feldeffekttransistors 227 ist mit dem ersten Source-/Drain-Anschluss des zweiten n-MOS-Flip-Flop-Feldeffekttransistors 230 gekoppelt. Ferner ist der Gate-Anschluss des zweiten p-MOS-Flip-Flop-Feldeffekttransistors 229 mit dem zweiten Source-/Drain-Anschluss des ersten p-MOS-Flip-Flop-Feldeffekttransistors 227 gekoppelt.

Im Weiteren wird die Verschaltung der Teilschaltkreise 201, 202, 203 miteinander beschrieben.

Der Gate-Anschluss des zweiten p-MOS-Rückkoppel-Feldeffekttransistors 216 ist mit dem Gate-Anschluss des dritten p-MOS-Schalt-Feldeffekttransistors 223 gekoppelt. Der Gate-Anschluss des ersten p-MOS-Rückkoppel-Feldeffekttransistors 215 ist mit dem Gate-Anschluss des vierten p-MOS-Schalt-Feldeffekttransistors 225 gekoppelt.

Der zweite Source-/Drain-Anschluss des ersten p-MOS-Schalt-Feldeffekttransistors 219 ist mit dem Gate-Anschluss des zweiten p-MOS-Flip-Flop-Feldeffekttransistors 229 gekoppelt. Ferner ist der zweite Source-/Drain-Anschluss des zweiten p-MOS-Flip-Flop-Feldeffekttransistors 229 mit dem zweiten Source-/Drain-Anschluss des zweiten p-MOS-Schalt-Feldeffekttransistors 221 gekoppelt.

Im Folgenden wird die Funktionalität der Schaltkreis-Anordnung 200 beschrieben.

Die Schaltkreis-Anordnung 200 unterscheidet sich von der
5 Schaltkreis-Anordnung 100 gemäß dem Stand der Technik in
erster Linie hinsichtlich der im Weiteren beschriebenen
Modifikationen. Der Takttransistor 105 aus Fig.1, der mit den
ersten und zweiten n-MOS-Logik-Feldeffekttransistoren 106,
107 (auch Dateneingangs-Transistoren genannt) eine
10 Differenzstufe bildet, ist in Fig.2 durch zwei Takt-
Feldeffekttransistoren 205, 206 ersetzt. An den Drain-
Kontakten der ersten und zweiten n-MOS-Takt-
Feldeffekttransistoren 205, 206 liegen die jeweiligen
Ausgangssignale /S bzw. /R der Pulsgenerator-Eingangsstufe
15 201 an, welche Eingangssignale des Flip-Flop-Schaltkreises
202, 203 bilden. Die Source-Kontakte der Takt-
Feldeffekttransistoren 205, 206 sind mit den Drain-Kontakten
der ersten und zweiten n-MOS-Logik-Feldeffekttransistoren
207, 208 (auch als Dateneingangs-Transistoren bezeichnet)
20 gekoppelt.

In einer Vorladephase sind die ersten und zweiten n-MOS-Takt-
Feldeffekttransistoren 205, 206 geschlossen. Die internen
Signale /S und /R werden mittels des auf einem niedrigen
25 Level befindlichen Taktsignals CLK="0" auf das elektrische
Versorgungspotential V_{DD} aufgeladen. Die beiden n-MOS-
Transistoren 209, 210, die gemeinsam mit den ersten und
zweiten p-MOS-Rückkoppel-Feldeffekttransistoren 215, 216 eine
verstärkende Rückkopplung bilden, sind eingeschaltet. Da
30 entweder der erste n-MOS-Logik-Feldeffekttransistor 207 oder
der zweite n-MOS-Logik-Feldeffekttransistor 208 leitet (je
nachdem ob das Datensignal D="1" oder D="0" ist), wird dieser
Zustand auf der ansteigenden Taktflanke übernommen und bei
einem Datensignal mit einem logischen Wert D="1" (bzw. D="0")
35 ein "1"-zu-"0" Übergang auf /S (bzw. auf /R) generiert.

Ein wichtiger Vorteil der erfindungsgemäßen Anordnung besteht darin, dass die parasitären Kapazitäten des Pull-Down-Pfades aus Transistoren 207/209 (bzw. aus Transistoren 208/210) bereits entladen sind und der "1"-zu-"0" Puls auf /S und /R schneller erzeugt wird. Es sind lediglich die Gate-Anschlüsse der Inverter, gebildet aus den Transistorpaaren 223, 224 bzw. 225, 226 und die Gate-Anschlüsse der Schalt-Transistoren 219, 221 als Lasten vorhanden. Dies führt zu einer beschleunigten Signalverarbeitung.

In der Schaltkreis-Anordnung 100 gemäß dem Stand der Technik sind die Ladungen auf den internen Knoten, das heißt den Parasitär-Kapazitäten der Pull-Down-Pfade, bei Beginn der Evaluation noch vorhanden. Ferner befinden sich die Drain-Potentiale der Dateneingangs-Transistoren 106, 107 der Schaltkreis-Anordnung und des Takt-Transistors 105 auf einem Potential $V_{DD}-V_T$ (wobei V_T die Schwellenspannung des Transistors ist, und V_{DD} die Versorgungsspannung), so dass an den Transistoren 109, 110 nur die niedrige Drain-Source-Spannung V_{T0} anliegt und an Transistoren 106, 107 ein Potential von 0Volt. Der Takt-Transistor 105 besitzt die Drain-Source-Spannung $V_{DD}-V_T$. Folglich ist auch der Schaltstrom durch den jeweiligen Pull-Down-Pfad geringer.

Im Weiteren werden bezugnehmend auf Fig.3 die unterschiedlichen Schaltströme bei der Schaltkreis-Anordnung 100 gemäß dem Stand der Technik und bei der erfindungsgemäßen Schaltkreis-Anordnung 200 beschrieben.

In dem Diagramm 300 aus Fig.3 ist entlang einer Abszisse 301 die Drain-Source-Spannung V_{DS} aufgetragen, entlang einer Ordinate 302 der Drain-Source-Strom I_{DS} . In dem Diagramm 300 ist eine erste Kurve 303 gezeigt, welche Kennlinien der erfindungsgemäßen Schaltkreis-Anordnung widerspiegelt. Eine zweite Kurve 304 zeigt die Strom-Spannungs-Charakteristik für die aus dem Stand der Technik bekannte Schaltkreis-Anordnung 100 aus Fig.1.

Fig.3 zeigt somit unterschiedliche Betriebszustände und Trajektorien im Ausgangskennlinienfeld der Takttransistoren 205, 206 aus Fig.2 bzw. des Takttransistors 105 aus Fig.1 während der ansteigenden Taktflanke von CLK bei niedrigem Gate-Overdrive $V_{DD}-V_{T0}$. Aus den ersten und zweiten Kurven 303, 304 ist deutlich der höhere Schallstrom I_{DS1} der erfindungsgemäßen Schaltkreis-Anordnung 200 aufgrund der höheren Drain-Source-Spannung im Ausgangszustand $V_{CLK}=0$ Volt zu erkennen.

Bei der Schaltkreis-Anordnung 200 sind die bei der Schaltkreis-Anordnung 100 auftretenden Ladungen auf den Parasitär-Kapazitäten sowie die gemäß Fig.1 ungünstigen Betriebszustände der Transistoren vermieden, wodurch erfindungsgemäß verkürzte Propagationszeiten erreicht sind.

Ein anderer Unterscheid der Schaltkreis-Anordnung 200 verglichen mit Schaltkreis-Anordnung 100 besteht darin, dass der minimal dimensionierte Transistor 108 aus Fig.1 in Fig.2 eliminiert ist. Der statische Betrieb der Schaltung wird stattdessen durch zwei aktiv betriebene n-MOS-Transistoren 211, 212 gewährleistet, die bezogen auf die Eingangstransistoren 207, 208 einen Bypass bilden und ähnlich wie Transistor 108 gemäß Fig.1 minimal dimensioniert sind.

Zu Beginn der Evaluierungsphase ist CLK auf einem logischen Wert "0" und $/S=/R=V_{DD}$. Da die Gate-Anschlüsse der Bypass-Transistoren 211, 212 mit den zueinander inversen Signalen S bzw. R angesteuert werden, sind die Bypass-Transistoren 211, 212 während der ansteigenden Taktflanke geschlossen und werden erst nach einer Zeit $t_1=t_{CLK}/S+t_{INV}$ bzw. $t_2=t_{CLK}/R+t_{INV}$ geöffnet. Falls das Datensignal D auf einem logischen Wert "1" ist, wird nach der Zeit t_1 der Bypass mittels des Bypass-Transistors 211 geöffnet und die Pulsgenerator-Eingangsstufe 201 verriegelt. Mögliche Potentialschwankungen auf den Datenknoten D und $/D$ haben praktisch keinerlei Auswirkungen

auf die Signale in dem Flip-Flop-Schaltkreis 102, nämlich Q und /Q, da über die Bypass-Transistoren 211, 212 eine leitende Verbindung von /S bzw. /R zum elektrischen Massepotential 217 gegeben ist. Somit sind die Rückkopplungen aus den beiden Pull-Down-Pfaden und den p-MOS-Transistoren 215, 216 für die Dauer der Taktphase CLK="1" aktiviert, und ein statischer Betrieb ist gegeben.

Im Weiteren wird bezugnehmend auf **Fig.4** eine Schaltkreis-Anordnung 400 gemäß einem zweiten Ausführungsbeispiel der Erfindung beschrieben.

Der wesentliche Unterschied zwischen der in Fig.4 gezeigten Schaltkreis-Anordnung 400 und der in Fig.2 gezeigten Schaltkreis-Anordnung 200 ist in der Verschaltung der ersten und zweiten n-MOS-Bypass-Feldeffekttransistoren 211, 212 zu sehen. Bei der Schaltkreis-Anordnung 400 ist wie bei der Schaltkreis-Anordnung 200 der Gate-Anschluss des ersten n-MOS-Bypass-Feldeffekttransistor 211 mit dem zweiten Source-/Drain-Anschluss des dritten p-MOS-Schalt-Feldeffekttransistors 223 gekoppelt. Ferner ist in Fig.4 wie in Fig.2 der erste Source-/Drain-Anschluss des ersten n-MOS-Bypass-Feldeffekttransistors 211 mit einem zweiten Source-/Drain-Anschluss des ersten n-MOS-Logik-Feldeffekttransistors 207 gekoppelt. Abweichend von Fig.2 ist in Fig.4 jedoch der zweite Source-/Drain-Anschluss ersten n-MOS-Bypass-Feldeffekttransistors 211 mit dem zweiten Source-/Drain-Anschluss des ersten n-MOS-Rückkopplungs-Feldeffekttransistors 209 gekoppelt. Darüber hinaus ist in Fig.4 die Verschaltung des zweiten n-MOS-Bypass-Feldeffekttransistors 212 gegenüber Fig.2 modifiziert. Zwar ist wie in Fig.2 der Gate-Anschluss des zweiten n-MOS-Bypass-Feldeffekttransistors 212 mit dem zweiten Source-/Drain-Anschluss des vierten p-MOS-Schalt-Feldeffekttransistors 225 gekoppelt, und ist der erste Source-/Drain-Anschluss des zweiten n-MOS-Bypass-Feldeffekttransistors 212 mit dem zweiten Source-/Drain-Anschluss des zweiten n-MOS-Logik-

Feldeffekttransistors 208 gekoppelt. Abweichend von Fig.2 ist jedoch in Fig.4 der zweite Source-/Drain-Anschluss des zweiten n-MOS-Bypass-Feldeffekttransistors 212 mit dem zweiten Source-/Drain-Anschluss des zweiten n-MOS-Rückkopplungs-Feldeffekttransistors 210 gekoppelt.

Somit sind in Fig.4 beide Source-/Drain-Anschlüsse der Bypass-Feldeffekttransistoren 211, 212 von einer Kopplung mit einem Referenzpotential frei. Anders ausgedrückt sind die Source-Anschlüsse der Bypass-Transistoren 211, 212 nicht auf das elektrische Massepotential 217 gebracht, sondern mit den Drain-Kontakten der Transistoren 209, 210 gekoppelt. Die Funktionalität der Schaltkreis-Anordnung 400 entspricht somit im Wesentlichen jener aus Fig.2, wobei in dem ausgeschalteten Zweig jedoch der Stack-Effekt wirkt, wodurch sich der Leckstrom in diesem Pfad verringert. Daher stellt die Schaltkreis-Anordnung 400 eine besonders energiesparende Realisierung der erfindungsgemäßen Schaltkreis-Anordnung dar.

Im Weiteren wird bezugnehmend auf **Fig.5** eine Schaltkreis-Anordnung 500 gemäß einem dritten Ausführungsbeispiel der Erfindung beschrieben.

Bei der in Fig.5 gezeigten Schaltkreis-Anordnung 500 sind der Pulsgenerator-Teilschaltkreis 201 und der Schalt-Teilschaltkreis 202 wie in Fig.2 vorgesehen. Allerdings ist an dem Flip-Flop-Teilschaltkreis 501 gemäß Fig.5 gegenüber Fig.2 eine Modifikation vorgenommen. Im Unterschied zu der Schaltkreis-Anordnung 200 weist der Flip-Flop-Teilschaltkreis 501 aus Fig.5 einen ersten n-MOS-Schutz-Feldeffekttransistor 502 und einen zweiten n-MOS-Schutz-Feldeffekttransistor 503 auf. Ein erster Source-/Drain-Anschluss des ersten n-MOS-Schutz-Feldeffekttransistors 502 ist mit dem zweiten Source-/Drain-Anschluss des ersten p-MOS-Flip-Flop-Feldeffekttransistors 227 gekoppelt. Der zweite Source-/Drain-Anschluss des ersten n-MOS-Schutz-Feldeffekttransistors 502 ist mit dem ersten Source-/Drain-

Anschluss des ersten n-MOS-Flip-Flop-Feldeffekttransistors 228 gekoppelt. Der Gate-Anschluss des ersten n-MOS-Schutz-Feldeffekttransistors 502 ist mit dem Gate-Anschluss des dritten n-MOS-Schalt-Feldeffekttransistors 224 gekoppelt.

5

Ferner ist ein erster Source-/Drain-Anschluss des zweiten n-MOS-Schutz-Feldeffekttransistors 503 mit dem zweiten Source-/Drain-Anschluss des zweiten p-MOS-Flip-Flop-Feldeffekttransistors 229 gekoppelt, ein zweiter Source-/Drain-Anschluss des zweiten n-MOS-Schutz-Feldeffekttransistors 503 ist mit dem ersten Source-/Drain-Anschluss des zweiten n-MOS-Flip-Flop-Feldeffekttransistors 230 gekoppelt. Der Gate-Anschluss des zweiten n-MOS-Schutz-Feldeffekttransistors 503 ist mit dem Gate-Anschluss des dritten p-MOS-Schalt-Feldeffekttransistors 225 gekoppelt.

Aufgrund der in Fig.5 gezeigten Modifikation der Ausgangsstufe bzw. des Flip-Flop-Teilschaltkreises 501, können temporäre Querstrompfade über die Transistorpaare 219/228 bzw. 221/230 mittels Hinzufügens der Transistoren 502, 503 beseitigt oder zumindest verringert werden.

Wird der interne Knoten während der Evaluation auf der ansteigenden Taktflanke auf $R=V_{SS}$ gesetzt dann kann bei der Schaltkreis-Anordnung 200 Transistor 221 leitend werden. Solange der Knoten R jedoch noch nicht entladen ist, ist auch Transistor 230 leitend und es kann ein Querstrom fließen. Mittels Hinzufügens des Schutz-Feldeffekttransistors 503 kann dieser Strom nicht mehr fließen. Gleiches gilt für den Transistorpfad 219/228/502. Die Transistoren 502, 503 werden möglichst klein dimensioniert. Die Schaltkreis-Anordnung 500 ist aufgrund der vorgenommenen Maßnahme mit der verbesserten Ausgangsstufe gegenüber den aus dem Stand der Technik bekannten Schaltkreis-Anordnungen bezüglich Geschwindigkeit und dynamischer Verlustleistung verbessert. Insbesondere sind in der Ausgangsstufe keine Serienschaltungen aus p-MOS-Transistoren mehr vorhanden. Dies erhöht die Robustheit der

Anordnung gegenüber Parameterschwankungen und dem Einfluss von Störsignalen.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

- 5 [1] Marcovic, D, Nikolic, B, Brodersen, RW "Analysis and
Design of Low-Energy Flip-Flops", Proc. of the
International Symposium on Low Power Electronics and
Design (ISLPED) 2001, Huntington Beach, USA, S.52-55
- 10 [2] Dao, HQ, Nowka, K, Oklobzija, VG "Analysis of Clocked
Timing Elements for Dynamic Voltage Scaling Effects
over Process Parameter Variation", Proc. of the
International Symposium on Low Power Electronics and
Design (ISLPED) 2001, Huntington Beach, USA, S.56-59
- 15 [3] J. Montanaro et al, "A 160-MHz, 32-b, 0.5-W CMOS RISC
Microprocessor", IEEE Journal of Solid-State
Circuits, Vol. 31, No. 11 , Nov. 1996, pp. 1703-1714.
- [4] US 6,232,810
- 20 [5] US 4,910,713
- [6] US 6,107,853
- [7] JP 2000299623 A
- 25 [8] US 6,448,829 B1

Bezugszeichenliste

- 100 Schaltkreis-Anordnung
- 101 Pulsgenerator-Teilschaltkreis
- 102 Flip-Flop-Teilschaltkreis
- 103 Schalt-Teilschaltkreis
- 104 Taktsignaleingang
- 105 n-MOS-Takt-Feldeffekttransistor
- 106 erster n-MOS-Logik-Feldeffekttransistor
- 107 zweiter n-MOS-Logik-Feldeffekttransistor
- 108 n-MOS-Bypass-Feldeffekttransistor
- 109 erster n-MOS-Signaltransfer-Feldeffekttransistor
- 110 zweiter n-MOS-Signaltransfer-Feldeffekttransistor
- 111 erster p-MOS-Takt-Feldeffekttransistor
- 112 erster p-MOS-Rückkoppel-Feldeffekttransistor
- 113 zweiter p-MOS-Takt-Feldeffekttransistor
- 114 zweiter p-MOS-Rückkoppel-Feldeffekttransistor
- 115 Massepotential
- 116 Versorgungspotential
- 117 erster p-MOS-Schalt-Feldeffekttransistor
- 118 erster n-MOS-Schalt-Feldeffekttransistor
- 119 zweiter p-MOS-Schalt-Feldeffekttransistor
- 120 zweiter n-MOS-Schalt-Feldeffekttransistor
- 121 dritter p-MOS-Schalt-Feldeffekttransistor
- 122 dritter n-MOS-Schalt-Feldeffekttransistor
- 123 vierter p-MOS-Schalt-Feldeffekttransistor
- 124 vierter n-MOS-Schalt-Feldeffekttransistor
- 125 erster p-MOS-Flip-Flop-Feldeffekttransistor
- 126 erster n-MOS-Flip-Flop-Feldeffekttransistor
- 127 zweiter p-MOS-Flip-Flop-Feldeffekttransistor
- 128 zweiter n-MOS-Flip-Flop-Feldeffekttransistor
- 200 Schaltkreis-Anordnung
- 201 Pulsgenerator-Teilschaltkreis
- 202 Flip-Flop-Teilschaltkreis
- 203 Schalt-Teilschaltkreis

204 Taktsignaleingang
205 erster n-MOS-Takt-Feldeffekttransistor
206 zweiter n-MOS-Takt-Feldeffekttransistor
207 erster n-MOS-Logik-Feldeffekttransistor
208 zweiter n-MOS-Logik-Feldeffekttransistor
209 erster n-MOS-Rückkopplungs-Feldeffekttransistor
210 zweiter n-MOS-Rückkopplungs-Feldeffekttransistor
211 erster n-MOS-Bypass-Feldeffekttransistor
212 zweiter n-MOS-Bypass-Feldeffekttransistor
213 erster p-MOS-Takt-Feldeffekttransistor
214 zweiter p-MOS-Takt-Feldeffekttransistor
215 erster p-MOS-Rückkoppel-Feldeffekttransistor
216 zweiter p-MOS-Rückkoppel-Feldeffekttransistor
217 Massepotential
218 Versorgungspotential
219 erster p-MOS-Schalt-Feldeffekttransistor
220 erster n-MOS-Schalt-Feldeffekttransistor
221 zweiter p-MOS-Schalt-Feldeffekttransistor
222 zweiter n-MOS-Schalt-Feldeffekttransistor
223 dritter p-MOS-Schalt-Feldeffekttransistor
224 dritter n-MOS-Schalt-Feldeffekttransistor
225 vierter p-MOS-Schalt-Feldeffekttransistor
226 vierter n-MOS-Schalt-Feldeffekttransistor
227 erster p-MOS-Flip-Flop-Feldeffekttransistor
228 erster n-MOS-Flip-Flop-Feldeffekttransistor
229 zweiter p-MOS-Flip-Flop-Feldeffekttransistor
230 zweiter n-MOS-Flip-Flop-Feldeffekttransistor
300 Diagramm
301 Abszisse
302 Ordinate
303 erste Kurve
304 zweite Kurve
400 Schaltkreis-Anordnung
401 Pulsgenerator-Teilschaltkreis
500 Schaltkreis-Anordnung

501 Flip-Flop-Teilschaltkreis

502 erster n-MOS-Schutz-Feldeffekttransistor

503 zweiter n-MOS-Schutz-Feldeffekttransistor

Patentansprüche:

1. Pulsgenerator-Schaltkreis zum Erzeugen eines
Eingangssignals für einen Flip-Flop-Schaltkreis aus einem
5 Taktsignal und aus einem Datensignal,

- mit einem Takt-Feldeffekttransistor, an dessen Gate-Anschluss das Taktsignal anlegbar ist, und an dessen ersten Source-/Drain-Anschluss das Eingangssignal für einen Flip-Flop-Schaltkreis bereitstellbar ist;
- 10 • mit einem Logik-Feldeffekttransistor, an dessen Gate-Anschluss das Datensignal anlegbar ist, und dessen erster Source-/Drain-Anschluss mit dem zweiten Source-/Drain-Anschluss des Takt-Feldeffekttransistors gekoppelt ist;
- 15 • mit einem Rückkopplungs-Feldeffekttransistor, an dessen Gate-Anschluss ein auf dem Taktsignal basierendes Rückkopplungssignal anlegbar ist, dessen erster Source-/Drain-Anschluss mit dem zweiten Source-/Drain-Anschluss des Logik-Feldeffekttransistors gekoppelt ist, und an
20 dessen zweiten Source-/Drain-Anschluss ein erstes elektrisches Referenzpotential anlegbar ist;
- mit einer Ansteuereinheit zum Ansteuern des Takt-Feldeffekttransistors, des Logik-Feldeffekttransistors und des Rückkopplungs-Feldeffekttransistors derart, dass
25 zum Erzeugen des Eingangssignals der Takt-Feldeffekttransistor zeitlich nach dem Logik-Feldeffekttransistor und dem Rückkopplungs-Feldeffekttransistor zum Generieren des Flip-Flop-Signals angesteuert wird.

30 2. Pulsgenerator-Schaltkreis nach Anspruch 1,
mit einem Zusatz-Takt-Feldeffekttransistor, an dessen Gate-Anschluss das Taktsignal anlegbar ist, an dessen ersten Source-/Drain-Anschluss ein zweites elektrisches
35 Referenzpotential anlegbar ist, und dessen zweiter Source-/Drain-Anschluss mit dem ersten Source-/Drain-Anschluss des Takt-Feldeffekttransistors gekoppelt ist.

3. Pulsgenerator-Schaltkreis nach Anspruch 2,
mit einem Zusatz-Rückkopplungs-Feldeffekttransistor, dessen
Gate-Anschluss mit dem Gate-Anschluss des Rückkopplungs-
5 Feldeffekttransistors gekoppelt ist, an dessen ersten Source-
/Drain-Anschluss das zweite elektrische Referenzpotential
anlegbar ist, und dessen zweiter Source-/Drain-Anschluss mit
dem ersten Source-/Drain-Anschluss des Takt-
Feldeffekttransistors gekoppelt ist.

10

4. Pulsgenerator-Schaltkreis nach einem der Ansprüche 1
bis 3,
mit einem Bypass-Feldeffekttransistor, dessen Gate-Anschluss
mit dem Flip-Flop-Schaltkreis gekoppelt ist, an dessen ersten
15 Source-/Drain-Anschluss das erste elektrische
Referenzpotential anlegbar ist, und dessen zweiter Source-
/Drain-Anschluss mit dem zweiten Source-/Drain-Anschluss des
Takt-Feldeffekttransistors gekoppelt ist.

20

5. Pulsgenerator-Schaltkreis nach einem der Ansprüche 1
bis 3,
mit einem Bypass-Feldeffekttransistor, dessen Gate-Anschluss
mit dem Flip-Flop-Schaltkreis gekoppelt ist, dessen erster
Source-/Drain-Anschluss mit dem ersten Source-/Drain-
25 Anschluss des Rückkopplungs-Feldeffekttransistors gekoppelt
ist, und dessen zweiter Source-/Drain-Anschluss mit dem
zweiten Source-/Drain-Anschluss des Takt-
Feldeffekttransistors gekoppelt ist.

30

6. Pulsgenerator-Schaltkreis nach einem der Ansprüche 1
bis 5,
bei dem das erste elektrische Referenzpotential ein
elektrisches Massepotential und/oder bei dem das zweite
elektrische Referenzpotential ein elektrisches
35 Versorgungspotential ist.

7. Pulsgenerator-Schaltkreis nach einem der Ansprüche 1

bis 6,

bei dem der Takt-Feldeffekttransistor, der Logik-Feldeffekttransistor und der Rückkopplungs-Feldeffekttransistor Feldeffekttransistoren des n-Leitungstyps sind.

8. Pulsgenerator-Schaltkreis nach einem der Ansprüche 3 bis 7,

bei dem der Zusatz-Takt-Feldeffekttransistor und der Zusatz-Rückkopplungs-Feldeffekttransistor Feldeffekttransistoren des p-Leitungstyps sind.

9. Pulsgenerator-Schaltkreis nach einem der Ansprüche 4 bis 8,

bei dem der Bypass-Feldeffekttransistor ein Feldeffekttransistor des n-Leitungstyps ist.

10. Pulsgenerator-Schaltkreis nach einem der Ansprüche 1 bis 9,

mit einem zu dem aus den Feldeffekttransistoren gebildeten ersten Signalpfad schaltungsgleichen zweiten Signalpfad aus zusätzlichen Feldeffekttransistoren, welche zusätzlichen Feldeffekttransistoren zum Generieren eines zu dem Eingangssignal für den Flip-Flop-Schaltkreis komplementären Komplementär-Eingangssignals aus dem Taktsignal und aus einem zu dem Datensignal komplementären Komplementär-Datensignal verschaltet sind.

11. Pulsgenerator-Schaltkreis nach Anspruch 10,

bei dem der erste Source-/Drain-Anschluss des zusätzlichen Takt-Feldeffekttransistors des zweiten Signalpfads mit dem Gate-Anschluss des Zusatz-Rückkopplungs-Feldeffekttransistors des ersten Datenpfads gekoppelt ist.

12. Pulsgenerator-Schaltkreis nach Anspruch 10 oder 11, bei dem der erste Source-/Drain-Anschluss des Takt-Feldeffekttransistors des ersten Signalpfads mit dem Gate-

Anschluss des zusätzlichen Zusatz-Rückkopplungs-Feldeffekttransistors des zweiten Datenpfads gekoppelt ist.

13. Pulsgenerator-Schaltkreis nach einem der Ansprüche 1
5 bis 12,

bei dem die Ansteuereinheit derart eingerichtet ist, dass sie das Datensignal an den Gate-Anschluss des Logik-Feldeffekttransistors anlegt, zeitlich bevor das Taktsignal zum Überführen des Takt-Feldeffekttransistors von einem
10 Zustand mit nichtleitendem Kanal-Bereich in einen Zustand mit leitendem Kanal-Bereich geschaltet wird.

14. Schaltkreis-Anordnung

- mit einem Pulsgenerator-Schaltkreis nach einem der
15 Ansprüche 1 bis 13;
- mit einem Flip-Flop-Schaltkreis, der mit dem Pulsgenerator-Schaltkreis derart verschaltet ist, dass das von dem Pulsgenerator-Schaltkreis generierbare Eingangssignal in den Flip-Flop-Schaltkreis einkoppelbar
20 ist.

15. Schaltkreis-Anordnung nach Anspruch 14,

bei welcher der Flip-Flop-Schaltkreis Speicher-Feldeffekttransistoren zum Speichern eines auf dem

25 Eingangssignal und/oder dem Komplementär-Eingangssignal basierenden Speichersignals aufweist.

16. Schaltkreis-Anordnung nach Anspruch 15,

bei welcher der Flip-Flop-Schaltkreis Schalt-

30 Feldeffekttransistoren aufweist, die zwischen den Speicher-Feldeffekttransistoren und dem Pulsgenerator-Schaltkreis geschaltet sind.

17. Schaltkreis-Anordnung nach Anspruch 16,

35 mit einem ersten Schalt-Feldeffekttransistor, dessen Gate-Anschluss mit dem ersten Source-/Drain-Anschluss des Takt-Feldeffekttransistors gekoppelt ist, an dessen ersten Source-

/Drain-Anschluss das zweite elektrische Referenzpotential anlegbar ist, und dessen zweiter Source-/Drain-Anschluss mit einem Speicherknoten der Speicher-Feldeffekttransistoren gekoppelt ist.

5

18. Schaltkreis-Anordnung nach Anspruch 17, mit einem zweiten Schalt-Feldeffekttransistor, dessen Gate-Anschluss mit dem Gate-Anschluss des Komplementär-Bypass-Feldeffekttransistors gekoppelt ist, an dessen ersten Source-/Drain-Anschluss das erste elektrische Referenzpotential anlegbar ist, und dessen zweiter Source-/Drain-Anschluss mit dem zweiten Source-/Drain-Anschluss des ersten Schalt-Feldeffekttransistors gekoppelt ist.

10

15

19. Schaltkreis-Anordnung nach Anspruch 18, mit einem Schutz-Feldeffekttransistor, dessen Gate-Anschluss mit dem Gate-Anschluss des ersten Schalt-Feldeffekttransistors gekoppelt ist, dessen erster Source-/Drain-Anschluss mit dem zweiten Source-/Drain-Anschluss des ersten Schalt-Feldeffekttransistors und mit einem Source-/Drain-Anschluss eines Speicher-Feldeffekttransistors gekoppelt ist, und dessen zweiter Source-/Drain-Anschluss mit einem Source-/Drain-Anschluss eines anderen Speicher-Feldeffekttransistors gekoppelt ist.

20

25

20. Schaltkreis-Anordnung nach einem der Ansprüche 14 bis 19, mit einem zu dem aus den Feldeffekttransistoren des Flip-Flop-Schaltkreises gebildeten dritten Signalpfad schaltungsgleichen vierten Signalpfad aus zusätzlichen Feldeffekttransistoren, welche zusätzlichen Feldeffekttransistoren des Flip-Flop-Schaltkreises zum Speichern eines zu dem Speichersignal komplementären Komplementär-Speichersignals verschaltet sind.

30

FIG 1

Stand der Technik

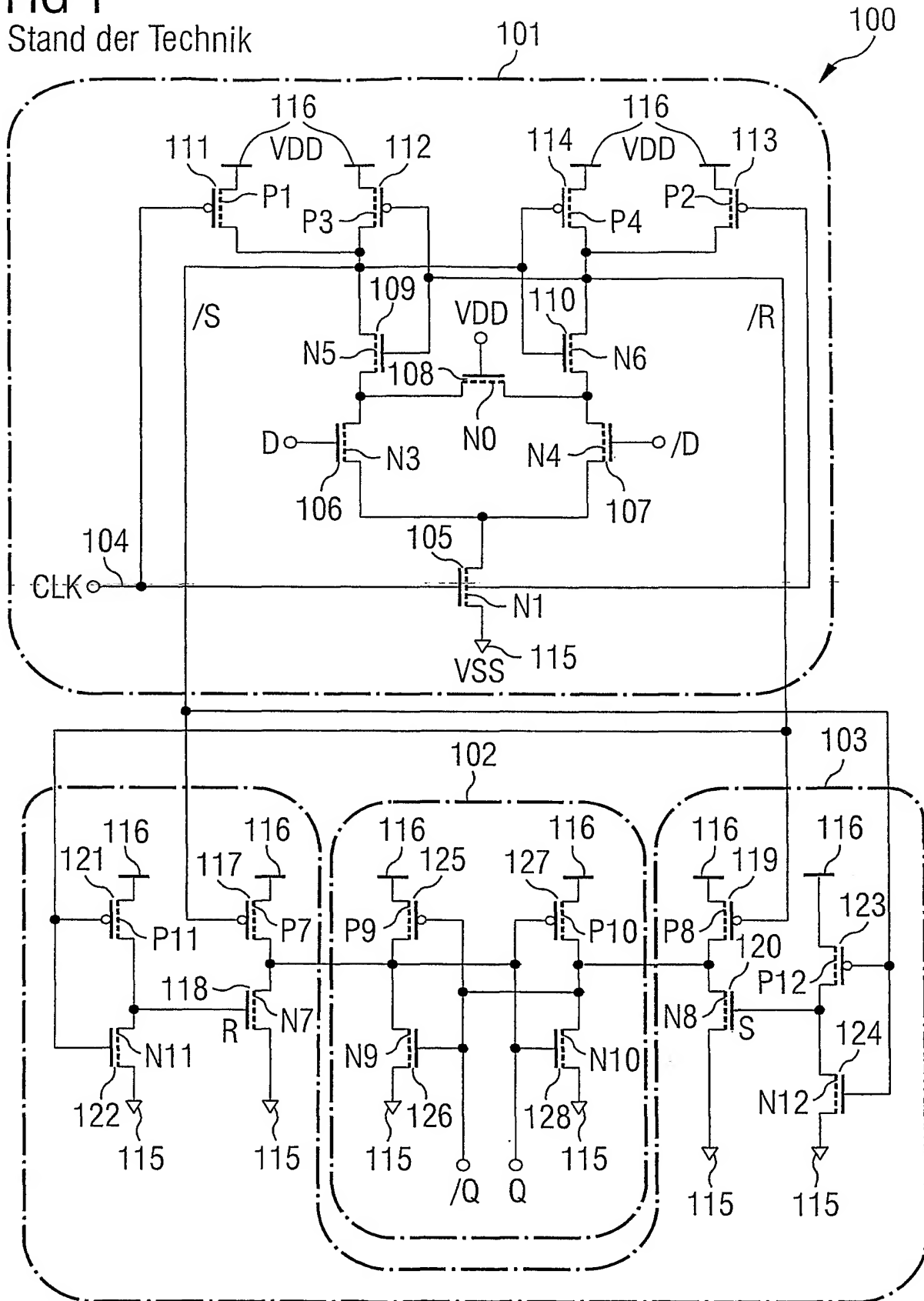


FIG 2

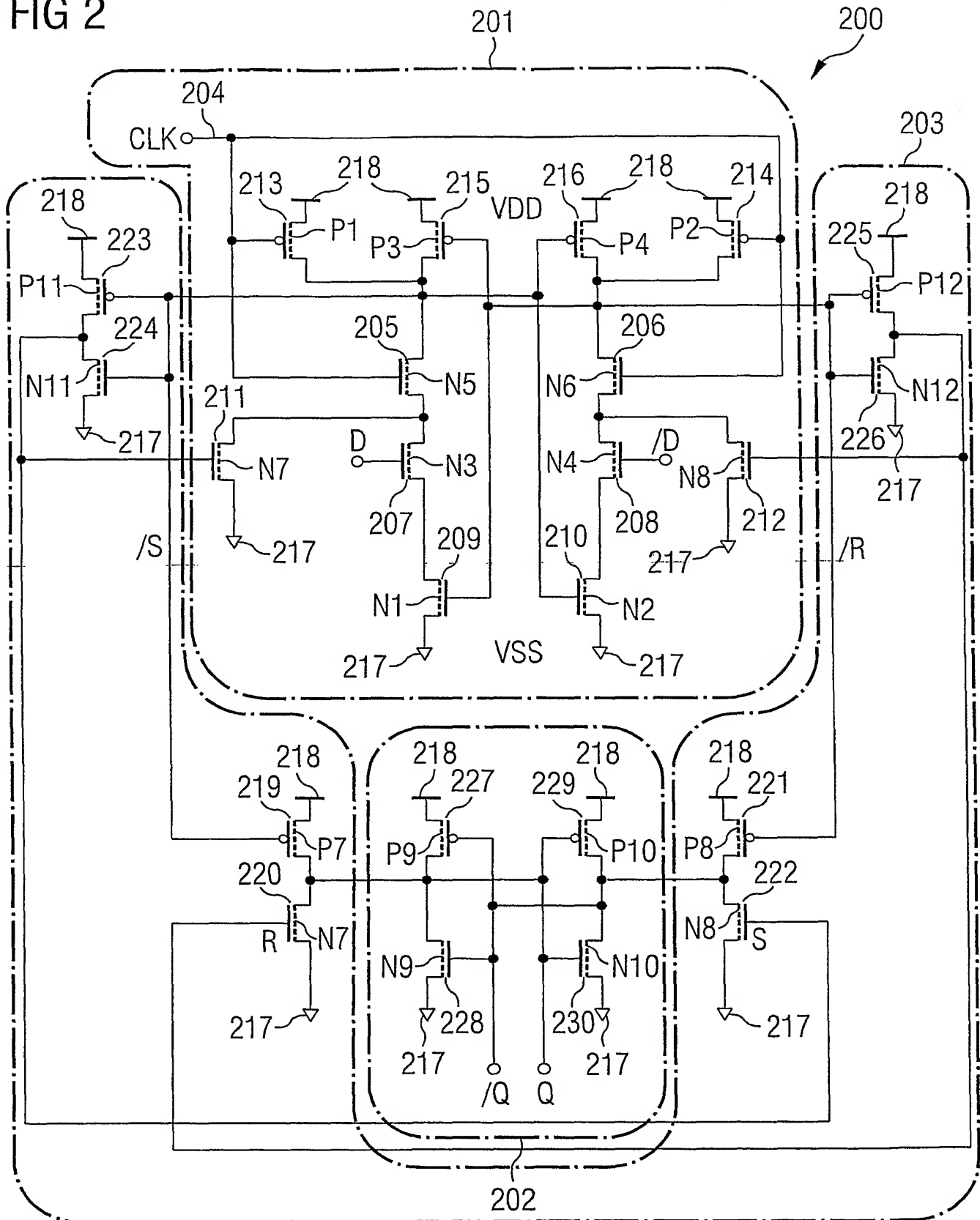


FIG 3

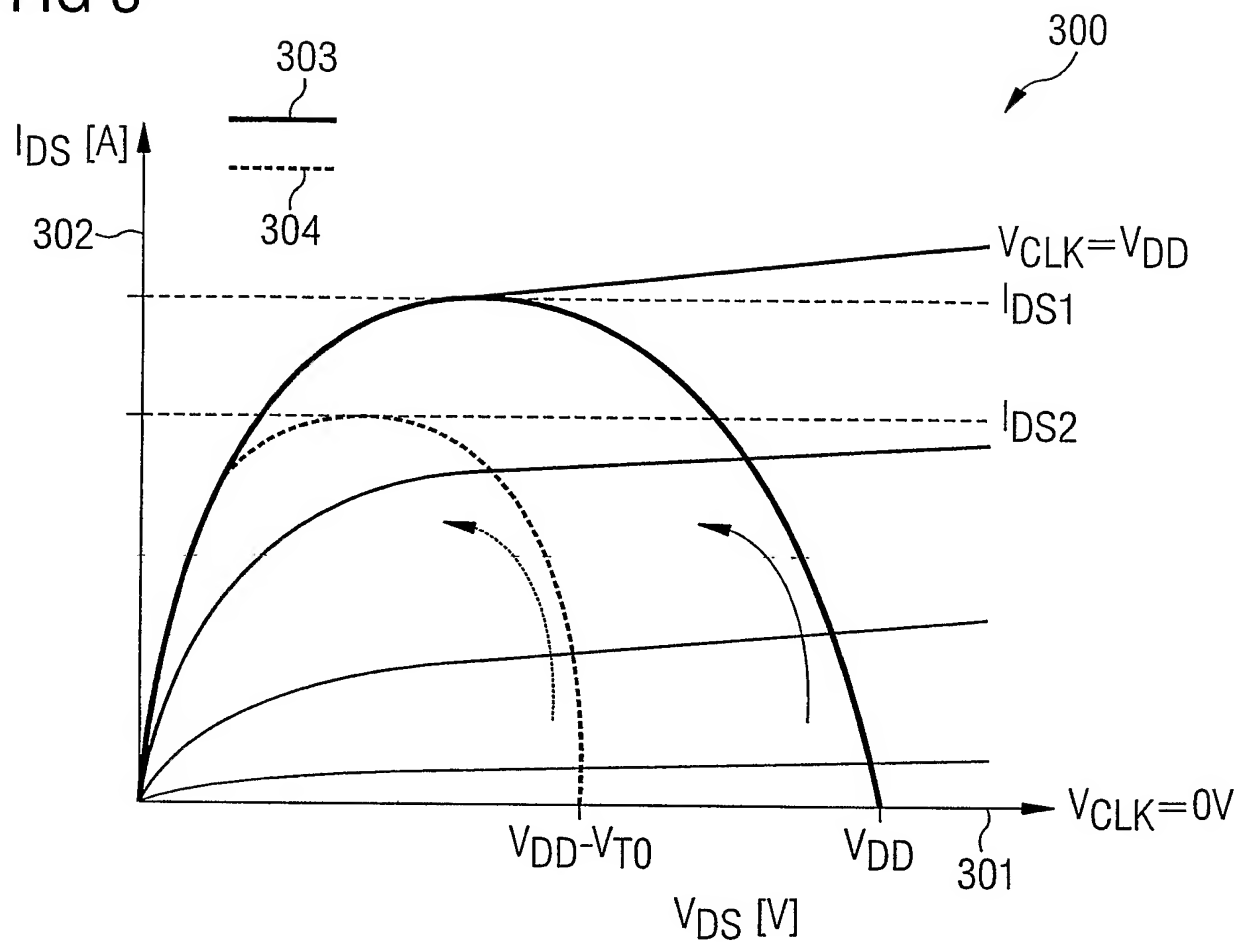


FIG 4

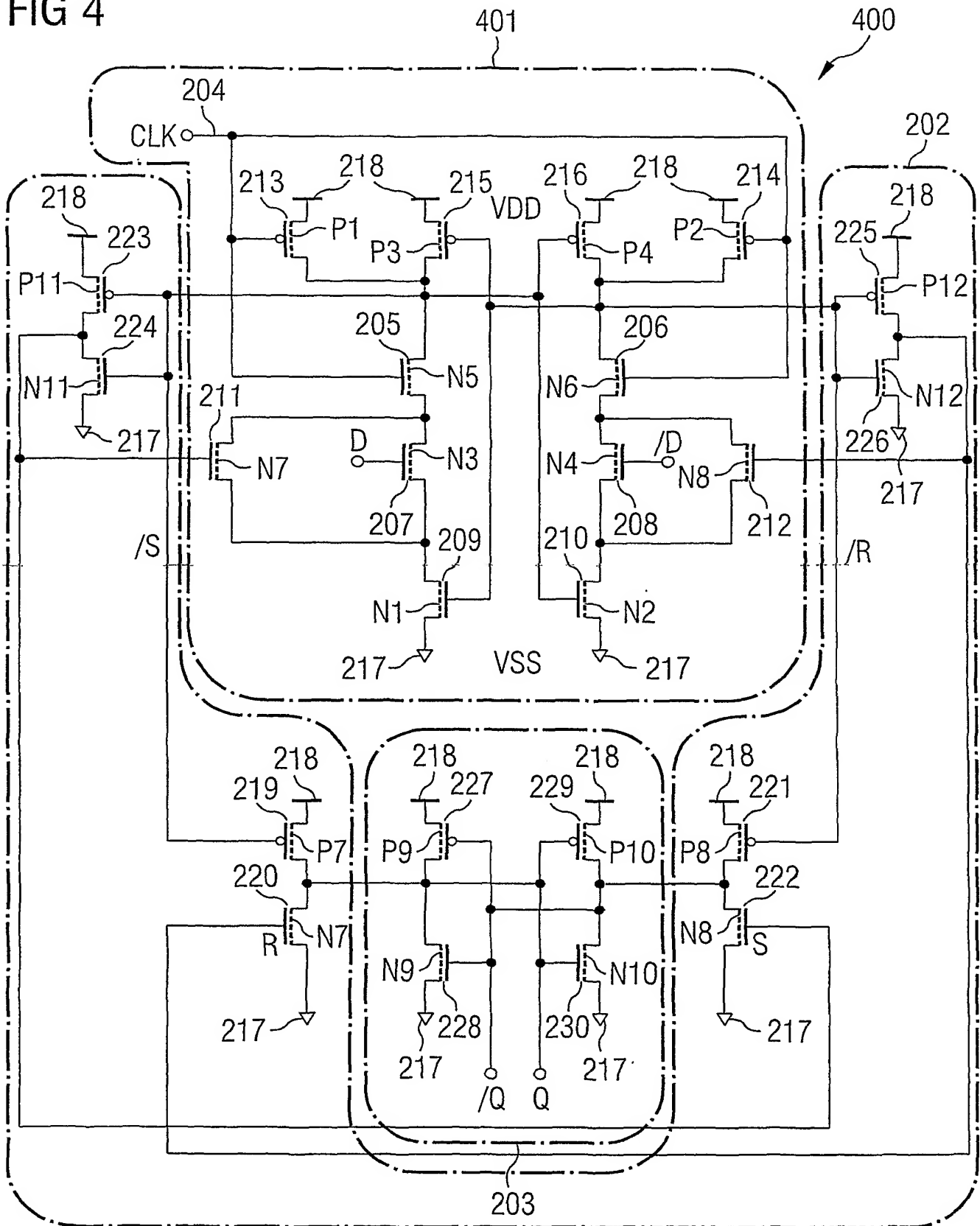
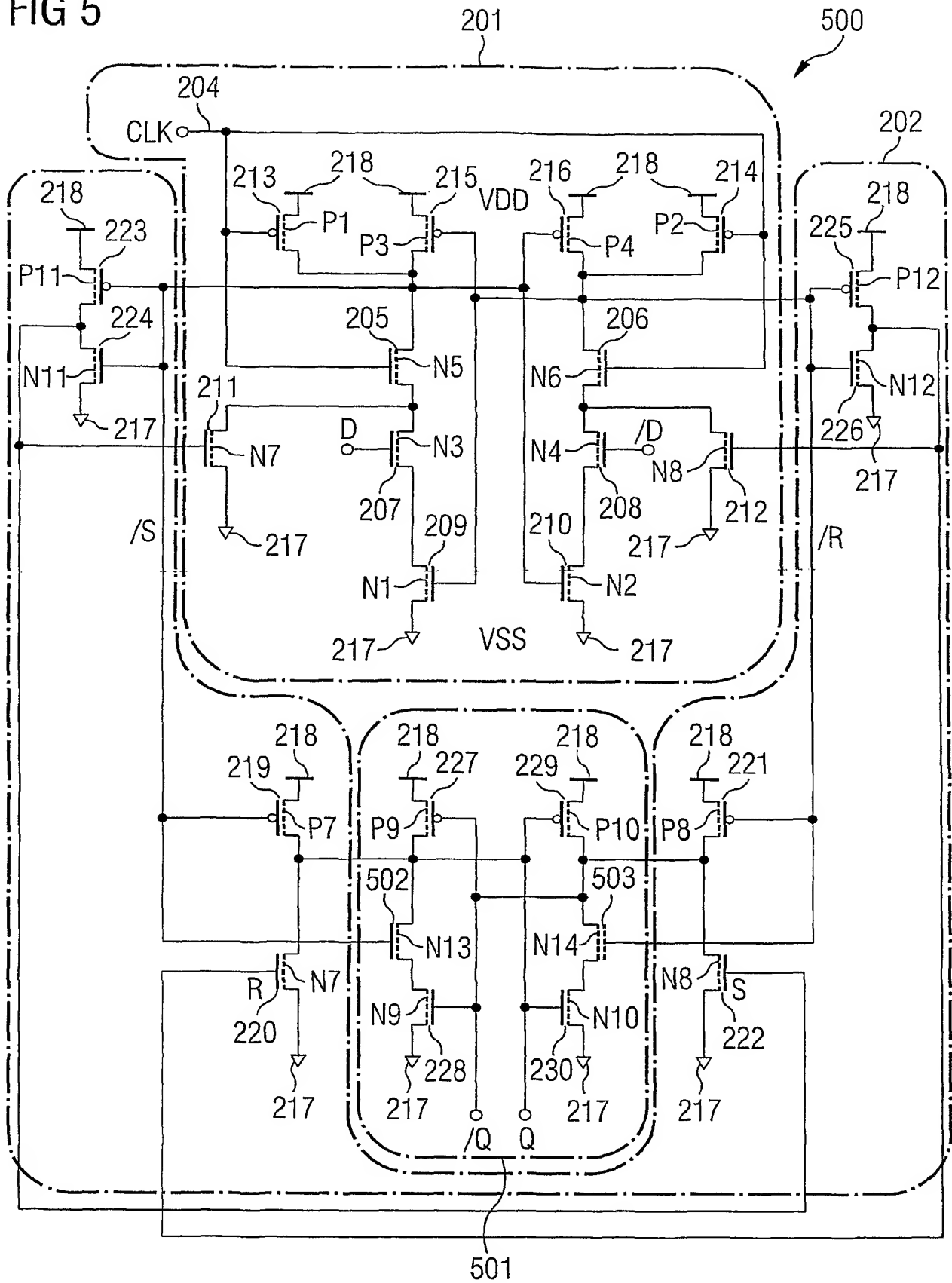


FIG 5



INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE2005/000263

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H03K3/356

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/024368 A1 (KIM KYU-HYOUN) 28 February 2002 (2002-02-28)	1-16
Y	the whole document	17-20
Y	US 6 232 810 B1 (OKLOBDZIJA VOJIN G ET AL) 15 May 2001 (2001-05-15)	17-20
A	cited in the application column 3, line 14 - column 4, line 55; figures 4,6a	1-16
A	US 6 111 444 A (MIKAN, JR. ET AL) 29 August 2000 (2000-08-29)	1-20
A	the whole document	
A	US 6 633 188 B1 (JIA WENYAN ET AL) 14 October 2003 (2003-10-14)	1-20
A	the whole document	

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

19 August 2005

Date of mailing of the international search report

01/09/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Meulemans, B

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE2005/000263

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2002024368	A1	28-02-2002	KR 2002015863 A	02-03-2002
			DE 10141939 A1	14-03-2002
			JP 2002158564 A	31-05-2002
			TW 518828 B	21-01-2003
US 6232810	B1	15-05-2001	JP 2000228621 A	15-08-2000
US 6111444	A	29-08-2000	NONE	
US 6633188	B1	14-10-2003	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE2005/000263

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H03K3/356

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H03K

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2002/024368 A1 (KIM KYU-HYOUN) 28. Februar 2002 (2002-02-28)	1-16
Y	das ganze Dokument	17-20
Y	US 6 232 810 B1 (OKLOBDZIJA VOJIN G ET AL) 15. Mai 2001 (2001-05-15)	17-20
A	in der Anmeldung erwähnt Spalte 3, Zeile 14 – Spalte 4, Zeile 55; Abbildungen 4,6a	1-16
A	US 6 111 444 A (MIKAN, JR. ET AL) 29. August 2000 (2000-08-29)	1-20
A	das ganze Dokument	
A	US 6 633 188 B1 (JIA WENYAN ET AL) 14. Oktober 2003 (2003-10-14)	1-20
	das ganze Dokument	

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann nahelegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

19. August 2005

Absenddatum des internationalen Recherchenberichts

01/09/2005

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx 31 651 epo nl,
Fax (+31-70) 340-3016

Bevollmächtigter Bediensteter

Meulemans, B

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2005/000263

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2002024368	A1	28-02-2002	KR	2002015863 A	02-03-2002
			DE	10141939 A1	14-03-2002
			JP	2002158564 A	31-05-2002
			TW	518828 B	21-01-2003
US 6232810	B1	15-05-2001	JP	2000228621 A	15-08-2000
US 6111444	A	29-08-2000	KEINE		
US 6633188	B1	14-10-2003	KEINE		